

## ESTRATEGIA DE CONTROL PARA UN INVERSOR MONOFÁSICO, CON CAPACIDAD DE CONEXIÓN A UN BUS AC UTILIZANDO EL MÉTODO DE DROOP

### CONTROL STRATEGY FOR A SINGLE PHASE INVERTER BASED ON DROOP METHOD AND AC BUS CONECTION

\*MSc. Camilo A. Sanabria Totaitive, \*\*MSc. Oscar Mauricio Hernández Gómez  
\*\*\*Msc Abdel K. Hay

\*, \*\*Universidad Pedagógica y Tecnológica de Colombia - UPTC  
\*\*\* Pontificia Universidad Javeriana

\* Grupo GIRA-Escuela de Ingeniería Electrónica, Sogamoso

\*\* Grupo I<sup>2</sup>E -Escuela de Ingeniería Electrónica, Tunja

\*\*\* Grupo de investigación de Electrónica de Potencia e Innovación Tecnológica CEPIT  
E-mail: {camilo.sanabria, oscarmauricio.hernandez}@uptc.edu.co,  
karim.hay@javeriana.edu.co

**Resumen:** Este artículo presenta el modelado y diseño del controlador bajo un esquema propuesto por los autores de realimentación de voltaje en lazo interno tipo PID, más un lazo externo de corriente tipo P, para un inversor monofásico con la capacidad de conectarse en paralelo con otro a un bus AC común, utilizando el método de droop, sin conexión de señales de control entre ellos, con el objetivo de compartir de forma proporcional la potencia entregada a una carga lineal, de acuerdo a la capacidad de cada inversor. También se presenta los resultados prácticos de la implementación de los controladores en un DSP para la conexión de dos inversores en paralelo.

**Palabras clave:** Control, droop, inversor monofásico, PID.

**Abstract:** This paper shows the authors proposal of modeling and design a new controller scheme consist of two feedback loops. The first one is an external feedback PID voltage loop. The second one is an internal feedback Proportional Current Loop. Control scheme is used in two single phase inverter to connect to an AC Common Bus. The main goal of connection is to share power to a lineal load connected to the AC Bus. Submitted power to the load must be proportional to the capability of each connected inverter. Droop method is used to get this goal. Experimental results are shown about the controller implementation in a DSP.

**Keywords:** Control, droop, single phase inverter, PID.

## 1. INTRODUCCIÓN

La conexión de inversores en paralelo se utiliza actualmente para distribuir la potencia entregada a una carga, según el número de inversores que se conecten a lo que se denomina un bus AC, sirviendo además como medio de soporte ante

emergencias o fallas de alguno de los inversores en casos donde se tengan conectadas carga crítica. Una de las ventajas que ofrece dicha conexión es la de tener varios sistemas de menor tamaño que soporten la carga total como si fuera uno de tamaño mayor.

La creación de un bus AC común con varios inversores de potencia como fuentes de alimentación, requiere que los inversores que se van a conectar en paralelo, se encuentren sincronizados en fase, amplitud y frecuencia, debido a las características de la señal de salida senoidal (Araque et al., 2013).

La variación de cualquiera de estos parámetros hace que se produzcan corrientes circulantes entre los inversores, lo cual no es deseable ya que un inversor actuaría como carga del otro y conduciría a daños en los dispositivos.

Para realizar la conexión de los inversores de forma segura existen diferentes técnicas de control, entre las que se destacan las técnicas maestro esclavo y “droop”.

La técnica maestro-esclavo (Pei, et al., 2004) consiste en seleccionar un inversor para cumplir con la función de maestro enviando las señales de control y sincronización para los otros inversores que se deseen conectar al bus y que actuarán como esclavos.

En el método de “droop” (Bravandere, et al., 2007; Tuladhar, et al., 1997; Salamah, et al., 2008; Golestan, et al., 2009; Yao, et al., 2010) no hay comunicación alguna entre los inversores, controlándose de forma individual mediante el ajuste de la potencia activa y reactiva que se entrega a la carga, imitando de esta forma el comportamiento de los generadores AC.

En cuanto a la implementación del método de droop para cada inversor, se suele desarrollar un sistema embebido en DSP o FPGA.

El sistema embebido cumple entre otras funciones las labores de (Tuladhar, et al., 1997; Salamah, et al., 2008): sincronización del inversor al momento de conectarse en paralelo mediante un PLL (Phase Locked Loop) (Ciobotaru, et al., 2006; Ferreira, et al., 2011; Luna, et al., 2011; Mingzhi, et al., 2009; Silva, et al., 2004) el control de los dispositivos de conmutación del convertidor DC-AC, los cálculos de la potencia activa y reactiva entregadas al bus AC (Zheng, et al., 2010; Hongliang, et al., 2009) y el control de droop que cambia el valor de la referencia del lazo de control interno del convertidor para permitir la conexión en paralelo.

En este artículo se presenta un análisis de las condiciones que deben cumplirse para que los inversores puedan entregar potencia a una carga de

manera proporcional a su capacidad utilizando el método de droop, luego se muestra el modelado de un convertidor DC-AC monofásico de tipo puente para obtener las funciones de transferencia del mismo. Se propone un esquema de control para la conexión de los inversores, evitando las corrientes circulantes entre los mismos. En la sección final se observan los resultados de la conexión de dos prototipos construidos.

## 2. CONEXIÓN DE DOS INVERSORES EN PARALELO

Partiendo de la premisa que cualquier sistema de alimentación puede ser representado como una fuente DC o AC en serie con su impedancia de salida (Teorema de Thevenin), y considerando el problema de conectar dos inversores monofásicos en paralelo para que compartan de forma proporcional a su capacidad la potencia entregada a una carga común, se analiza el circuito de la Fig. 1.

En la Fig. 1 se presenta el esquema del generador  $a$  representado por su fuente  $V_a$  y su impedancia  $Z_a$ , conectado en paralelo con el generador  $b$  ( $V_b$  en serie con  $Z_b$ ) alimentando una carga ( $Z_L$ ). La conexión en paralelo de los generadores debe garantizar la no circulación de corriente entre ellos. Esta condición se cumple para generadores AC, si se garantiza que los voltajes  $V_a$  y  $V_b$  son exactamente iguales en magnitud, fase y frecuencia.

Para garantizar que los generadores entreguen potencia proporcionalmente a su capacidad a la carga conectada al bus AC, se debe cumplir con (1), donde  $S_i$  es la potencia compleja entregada por el generador  $i$  y  $k$  es una constante real positiva.

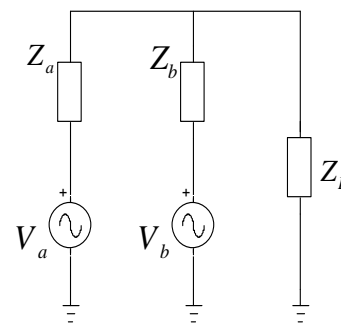


Fig. 1. Modelo para la conexión de dos inversores en paralelo.

$$\frac{S_a}{S_b} = k \quad (1)$$

Se puede demostrar que (1) se cumple si las impedancias de los generadores cumplen con (2), donde la impedancia del generador  $b$ , debe ser  $k$  veces la impedancia del generador  $a$ .

$$\frac{Z_b}{Z_a} = k \quad (2)$$

El método de droop se utiliza para controlar la conexión de los inversores al bus AC, emulando el comportamiento de los grandes generadores AC. En (3) se muestran las ecuaciones que se utilizan para determinar el valor de la frecuencia angular y el voltaje de salida de cada inversor a partir de la medición de la potencia activa y reactiva a la salida de este.

$$\begin{aligned} \omega &= \omega_0 - m_i P_i \\ V &= V_0 - n_i Q_i \end{aligned} \quad (3)$$

La ecuación (3) se utiliza cuando la impedancia del inversor es del tipo inductiva, pero es muy común que los convertidores DC-AC tengan una impedancia de salida de tipo resistivo.

Este caso es analizado en este trabajo y tomando lo expresado por (Guerrero, et al., 2005), se modifican las ecuaciones anteriores para encontrar las nuevas relaciones para el tipo de impedancia resistiva. Las ecuaciones dadas en (4) corresponderán a la ley de droop que cada inversor debe cumplir y debe ser implementada en el DSP.

$$\begin{aligned} \omega &= \omega_0 + m_i Q_i \\ V &= V_0 - n_i P_i \end{aligned} \quad (4)$$

### 3. MODELADO Y CONTROL DEL INVERSOR MONOFÁSICO

#### 3.1 Modelo lineal del inversor

En la Fig. 2. Se presenta el esquema del puente H monofásico empleado en este artículo. La conmutación de los Mosfet se realiza utilizando modulación bipolar a una frecuencia de conmutación de 48kHz.

Considerando el tipo de conmutación seleccionada y que los Mosfet se comportan como interruptores ideales, se encuentra el modelo para el inversor dado en (5)

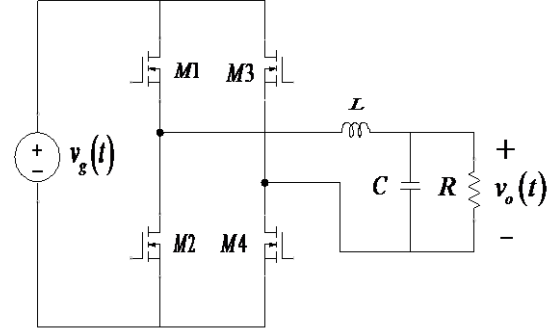


Fig. 2. Puente H monofásico

$$\begin{aligned} \frac{di_o}{dt} &= \frac{1}{L} s_{ab} v_g - \frac{1}{L} v_{AB} \\ \frac{dv_{AB}}{dt} &= \frac{1}{C} i_o - \frac{1}{RC} v_{AB} \\ i_g &= s_{ab} i_o \end{aligned} \quad (5)$$

Donde  $v_{AB}$  corresponde al voltaje en el capacitor,  $i_o$  es la corriente en la bobina,  $v_g$  e  $i_g$  son el voltaje y corriente en el generador y  $s_{ab}$  es una función dada por la conmutación de los Mosfet en las ramas  $a$  y  $b$ . Si se aplica el operador promedio presentado en (6) para eliminar el efecto de la conmutación en (5), se obtiene las ecuaciones promedio del inversor mostradas en (7), donde  $d_{ab}$  es la función de ciclo útil promedio del convertidor.

$$\bar{x}(t) = \frac{1}{T} \int_{t-T}^t x(\tau) d\tau \quad (6)$$

$$\begin{aligned} \frac{d\bar{i}_o}{dt} &= \frac{1}{L} d_{ab} \bar{v}_g - \frac{1}{L} \bar{v}_{AB} \\ \frac{d\bar{v}_{AB}}{dt} &= \frac{1}{C} \bar{i}_o - \frac{1}{RC} \bar{v}_{AB} \\ \bar{i}_g &= d_{ab} \bar{i}_o \end{aligned} \quad (7)$$

Las ecuaciones en (7) representan el modelo equivalente promedio del inversor no lineal o de gran señal. Para poder utilizar los conceptos de control lineal, se linealiza el modelo en un punto de operación, considerando que en tal punto las variables tienen una componente DC de estado estable más perturbaciones pequeñas alrededor de este, como se menciona en (Sanabria, Hernández, 2011).

En (8) se presenta el modelo de señal pequeña linealizado del inversor.

$$\begin{aligned}\frac{d\hat{i}(t)}{dt} &= \frac{1}{L}D\hat{v}_g(t) + \frac{1}{L}\hat{d}(t)V_g - \frac{1}{L}\hat{v}_o(t) \\ \frac{d\hat{v}_o(t)}{dt} &= \frac{1}{C}\hat{i}(t) - \frac{1}{RC}\hat{v}_o(t) \\ \hat{i}_g(t) &= D\hat{i}(t) + \hat{d}(t)I\end{aligned}\quad (8)$$

A partir (8), se pueden encontrar las funciones de transferencia (9) que indican el comportamiento del voltaje de salida y el ciclo útil  $G_{vd}$ , el voltaje de salida y el voltaje de entrada  $G_{vg}$  y la impedancia del inversor  $Z_{out}$ .

$$\begin{aligned}G_{vd} &= \frac{V_g}{1 + \frac{S}{Q\omega_0} + \left(\frac{S}{\omega_0}\right)^2} \\ G_{vg} &= \frac{D}{1 + \frac{S}{Q\omega_0} + \left(\frac{S}{\omega_0}\right)^2} \\ Z_{out} &= \frac{LS}{1 + \frac{S}{Q\omega_0} + \left(\frac{S}{\omega_0}\right)^2}\end{aligned}\quad (9)$$

Para probar el concepto de la conexión de los dos inversores en paralelo, se diseñan dos convertidores DC-AC con potencias nominales de 40 W y 20 W, presentándose en tabla 1 los valores del filtro LC, donde se ha considerado la relación dada por (2) haciendo que los filtros tengan la misma frecuencia de corte de 1.2 kHz.

*Tabla 1: Valores experimentales de los filtros de los inversores.*

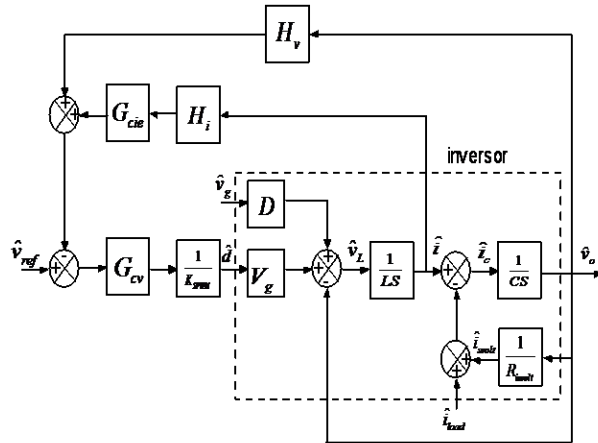
	Inductor ( $\mu H$ )	Capacitor ( $\mu F$ )
<b>Inversor 40 W</b>	159.1	110.5
<b>Inversor 20 W</b>	318.2	55.2

### 3.2 Control del inversor

La Fig. 3, muestra el modelo en bloques del inversor y la topología de control propuesta por los autores para poder conectar los inversores en paralelo, alimentando una carga conectada a un bus AC común.

Se propone un lazo de control interno de voltaje del tipo PID, y uno externo de corriente del tipo P que modifica la referencia y permite actuar ante grandes incrementos de corriente en el inversor al disminuir la salida de voltaje.

Esta topología generó en simulación resultados similares y una menor complejidad de implementación que la topología clásica de control de lazo interno de corriente y externo de voltaje con controladores del tipo PI y PID respectivamente.



*Fig. 3. Diagrama de bloques del inversor con la topología de control propuesta*

Simplificando la Fig. 3, se obtienen las funciones de transferencia del inversor, como se muestra en la Fig. 4, donde se observa que la salida del controlador es el ciclo útil  $\hat{d}$  y las variaciones de fuente  $\hat{v}_g$  y corriente de carga  $\hat{i}_{load}$  son perturbaciones al convertidor.

En (10) se presentan las funciones correspondientes de estas variables del convertidor y el voltaje de referencia en el sistema en lazo cerrado.

La impedancia del sistema en lazo cerrado dada en (10), muestra que ésta depende del valor del inductor como se muestra en (9) y del valor de la ganancia del sensor de corriente  $H_i$ , por tanto se debe tener en cuenta esta consideración al momento de la implementación para cumplir con lo estipulado en (2), y de esta forma poder conectar los inversores en paralelo.

Para el diseño de controlador, se consideran los parámetros del inversor de 40 W presentados en la tabla 1, esto debido a que el inversor de 20 W en este caso, o de cualquier valor nominal de potencia que se desee conectar al bus AC, posee la misma frecuencia de corte y lo único a considerar de diferencia es la función de impedancia en (10).

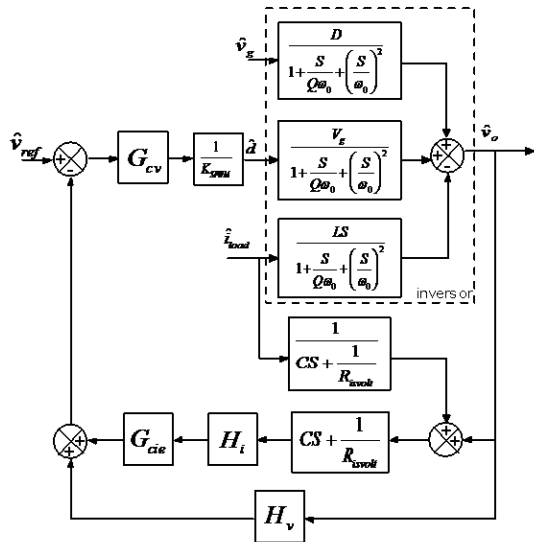


Fig. 4. Diagrama de bloques del inversor, reducido a las funciones de transferencia

El controlador de voltaje  $G_C$ , se diseña para cumplir con un margen de fase de  $52^\circ$ , una frecuencia de “crossover” de 9.6 kHz, obteniéndose la función de transferencia del controlador dada por (11).

En la Fig. 5 se presenta la respuesta del controlador del lazo de voltaje ante variaciones en la carga del inversor que van desde el valor de las resistencias de sensado hasta una carga de  $3 \Omega$ , mostrándose una respuesta con un sobre pico de 3 dB y un ancho de banda de 12.6 kHz.

El diagrama de bode de la Fig. 5, se modifica a la forma mostrada en la Fig. 6, donde se observa el efecto de incluir la ganancia P del lazo de corriente al inversor. Si la ganancia P se incrementa demasiado, origina como efecto la disminución en el ancho de banda del sistema en lazo cerrado.

$$\begin{aligned} \hat{v}_0 &= \frac{G_{cv} G_{vd}}{K_{SPWM}} \\ \hat{v}_{ref} &= \frac{G_{cv} G_{vd}}{1 + H_v \frac{G_{cv} G_{vd}}{K_{SPWM}} + G_{cie} H_i \left( CS + \frac{1}{R_{isvolt}} \right) \frac{G_{cv} G_{vd}}{K_{SPWM}}} \\ \hat{v}_0 &= \frac{G_{vg}}{1 + H_v \frac{G_{cv} G_{vd}}{K_{SPWM}} + G_{cie} H_i \left( CS + \frac{1}{R_{isvolt}} \right) \frac{G_{cv} G_{vd}}{K_{SPWM}}} \\ Z_{out} &= \frac{Z_{out} + G_{cie} H_i \frac{G_{cv} G_{vd}}{K_{SPWM}}}{1 + H_v \frac{G_{cv} G_{vd}}{K_{SPWM}} + G_{cie} H_i \left( CS + \frac{1}{R_{isvolt}} \right) \frac{G_{cv} G_{vd}}{K_{SPWM}}} \end{aligned} \quad (10)$$

$$G_C = \frac{0.00211s^2 + 56.58s + 2.645 \times 10^5}{5.708 \times 10^{-6} s + s} \quad (11)$$

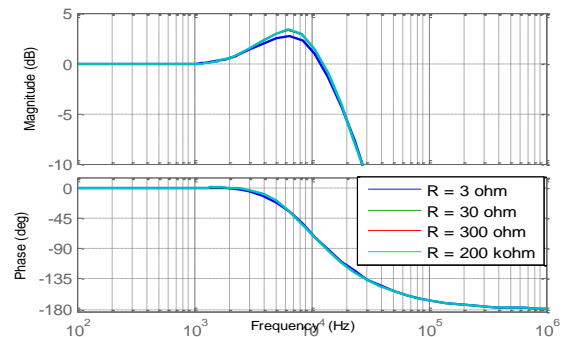


Fig. 5. Diagrama de bode del inversor con lazo externo de voltaje

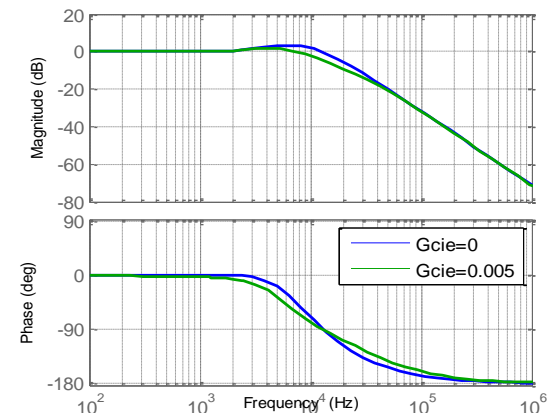


Fig. 6. Diagrama de bode de comparación del efecto de la ganancia del lazo de corriente

### 3.3 Controlador digital del inversor

Para el diseño del algoritmo digital de control necesario para la implementación del inversor, se parte de la ecuación (11), la cual corresponde a la función de transferencia del controlador de voltaje en tiempo continuo propuesta por los autores. Tomando en cuenta lo que se afirma en (Alfaro, 2003), se puede demostrar que la función (11), corresponde a un controlador PID realizable como se muestra en (12). El controlador cumple con las condiciones para ser discretizado considerándolo como un controlador PID ideal.

$$G_{PID} = 55.07 + \frac{2.645 \times 10^5}{s} + \frac{1.769 \times 10^{-3} s}{1 + 5.708 \times 10^{-6} s} \quad (12)$$

De acuerdo a lo expuesto en (Ogata, 1995; Liping, Hung, *et al.*, 2002) la ecuación (12) puede ser expresada de forma discreta como se muestra en (13).

$$u(k) = K_p e(k) + K_I T \sum_{i=0}^k e(i) + \frac{K_D}{T} [e(k) - e(k-1)] \quad (13)$$

Donde  $u(k)$  es el ciclo útil calculado para la  $k$ -ésima muestra y  $e(k)$  el error. Para un controlador discreto con un periodo de muestreo seleccionado como el inverso de la frecuencia de conmutación del inversor (48kHz) se tiene los siguientes valores para la ecuación de diferencias dada en (13):

$$u(k) = 55.07e(k) + 5.51 \sum_{i=0}^k e(i) + 86.208 [e(k) - e(k-1)] \quad (14)$$

La ecuación (14) es la que se debe programar en el DSP para determinar el ciclo útil para las señales PWM a enviar a los cuatro MOSFET del puente H.

#### 4. IMPLEMENTACIÓN DEL INVERSOR

El diagrama de bloques del hardware de cada uno de los inversores que se conecta en paralelo se presenta en la Fig. 7. La etapa de potencia del inversor es el puente H DRV8432 de Texas Instrument (TI), el cual se configura para funcionar en paralelo y soportar una corriente promedio de 14 A con un pico máximo de 24 A. El puente H se conecta a un filtro de tipo LC con las especificaciones de la tabla 1.

Para realizar el enganche de la salida del inversor con el bus AC, donde se encuentra la carga se utiliza un relé electromecánico. El bloque de sensado está compuesto por un sensor de corriente ACS712, y dos sensores de voltaje basados en amplificadores diferenciales.

Los sensores de voltaje testean el voltaje en el bus AC donde se colocan las cargas, y el voltaje que se está generando por el propio inversor, permitiendo que el voltaje del inversor se ponga en la amplitud y fase adecuadas para su conexión al bus en cualquier momento.

El control del inversor se realiza en un sistema embebido en un DSP 320TMS28F335 de TI. El DSP lleva a cabo las siguientes tareas, programadas en lenguaje C:

**Adquisición de señales:** Procesa las señales de los conversores A/D y obtiene el valor rms y pico de las señales de voltaje de bus, voltaje inversor y corriente inversor.

**Cálculo de potencia:** Con las señales de corriente y voltaje del inversor se calcula la potencia activa y reactiva entregada al bus AC, mediante un algoritmo como el propuesto en por (Zheng *et al.*, 2010) para sistemas monofásicos.

**Control Inversor:** Se desarrolla el algoritmo de control propuesto para inversor con dos objetivos: entregar una potencia proporcional y seguir la forma de onda de referencia. En este bloque se desarrolla la ley de “droop” para el cálculo de la referencia cada vez que se obtiene un ciclo completo de la señal de salida.

**Lazo de enganche de fase (PLL – Phase Locked Loop):** Se encarga de poner en fase y frecuencia. La tensión del inversor, indicando el momento adecuado para el enganche al bus AC. Este algoritmo se desarrolla en base a las topologías de marco de referencia sincronizado (SRF: Synchronous Reference Frame) (Luna, Jacobina, *et al.*, 2011; Mingzhi, Baohong, *et al.*, 2009).

**Testeo de alarmas del puente H.**

**Modulación SPWM para el puente H.**

**Indicadores de operación del sistema.**

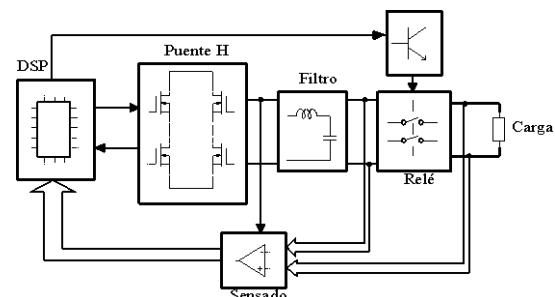


Fig. 7. Diagrama de bloques del inversor monofásico

#### 5. RESULTADOS EXPERIMENTALES

Para la comprobación del funcionamiento de la conexión de los inversores, se construyeron dos inversores con potencias de salida de 40 W y 20 W, con un voltaje de 12 Vrms en el bus AC, cada uno

manejado por un DSP 320TMS28F335. En la

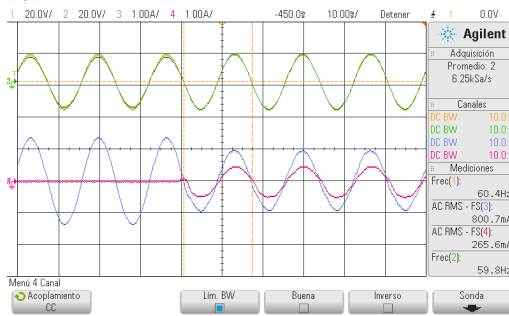


Fig. 8 se muestra en la parte superior las señales de voltaje de cada inversor y en la inferior la corriente de los mismos.

En la parte a) se observa el momento en el cual el inversor de menor potencia se engancha al bus apareciendo una señal de corriente que tiene un valor pico de aproximadamente la mitad de la corriente del primer inversor conectado a la carga. Antes de engancharse el algoritmo de PLL implementado en el DSP, ha colocado en fase la señal de voltaje de segundo inversor con respecto al bus AC y mediante las ecuaciones de droop se determinan el valor de frecuencia y voltaje de la señal de referencia para las ecuaciones de diferencia del esquema de control en el Sistema embebido.

En la

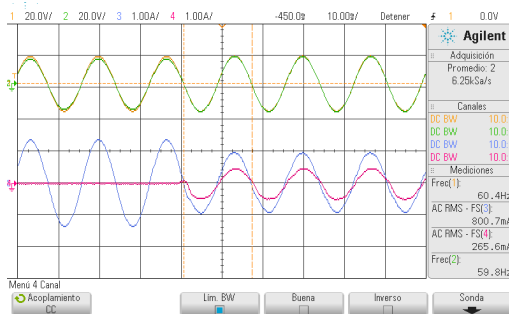
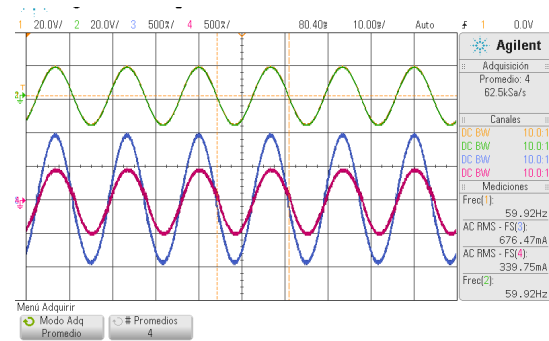


Fig. 8b) se observa el comportamiento de los inversores después de estar conectados durante varios minutos, y como estos han repartido la potencia que la carga demanda de forma proporcional.

a)



b)

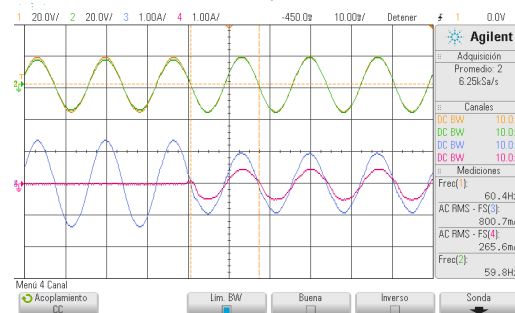


Fig. 8 Oscilograma de la conexión de los inversores de 40W (azul) y 20W (roja) para carga lineal. a) Momento de conexión del inversor 2, b) Inversores funcionando en paralelo.

## 6. CONCLUSIONES

Haciendo uso de un circuito equivalente de generador e impedancia en serie, se demuestra que para entregar potencia de manera proporcional cuando hay conectados dos generadores en paralelo se requiere que sus impedancias de salida sean proporcionales, además se prueba que la estrategia de control sugerida funciona adecuadamente en los resultados experimentales.

Se determinaron las funciones en ecuaciones de diferencias del controlador, el PLL de enganche y la medición de potencia activa y reactiva, así como la ley de droop, que luego se implementaron en un DSP con una frecuencia de muestreo de 48 kHz, demostrándose que, si se mantiene la proporcionalidad entre la impedancia de los inversores, se puede entregar potencia de manera proporcional a cargas de tipo lineal.

## REFERENCIAS

Araque G J., Díaz R J.L., Gualdrón G O.E. (2013). Optimización del THD en un convertidor multinivel monofásico usando algoritmos

- genéticos. *Revista colombiana de tecnologías de Avanzada*. 1 (21). Pág. 60 - 66.
- Pei, Y., Jiang G., et al. (2004). Auto-Master-Slave Control Technique of Parallel Inverters in Distributed AC Power Systems and UPS.
- Bravandere, K. D., Bolsens B., et al. (2007). A voltage and frequency droop control for parallel inverters.
- Tuladhar, A., Jin H., et al. (1997). Parallel operation of single phase inverter modules with no control interconnections. Twelfth Annual applied power electronics conference and exposition, Atlanta GA.
- Salamah, A. M., Finney S. J., et al. (2008). Autonomous controller for improved dynamic performance of AC grid, parallel-connected, single-phase inverters. *Generation, Transmission & Distribution, IET* 2(2); pp. 209-218
- Golestan, S., Joorabian M., et al. (2009). Droop Based Control of Parallel-Connected single phase inverters in D Q rotating frame. *IEEE International conference on Industrial technology*.
- Yao, W., Chen M., et al. (2010). Design and Analysis of the Droop Control Method for Parallel Inverters Considering the Impact of the complex Impedance on the Power Sharing. *IEEE transaction on Industrial electronics* PP(99).
- Ciobotaru, M., Teodorescu R., et al. (2006). A New Single-Phase PLL Structure Based on Second Order Generalized Integrator. *Power Electronics Specialists Conference, 2006. PESC '06. 37th IEEE*.
- Ferreira, R. J., Araujo R. E., et al. (2011). A comparative analysis and implementation of various PLL techniques applied to single-phase grids. *Energetics (IYCE), Proceedings of the 2011 3rd International Youth Conference on*.
- Luna, B. E. O. B., Jacobina C. B., et al. (2011). A new PLL structure for single-phase grid-connected systems. *IECON 2011 - 37th Annual Conference on IEEE Industrial Electronics Society*.
- Mingzhi, G., Baohong L., et al. (2009). Analysis and implementation of a PLL structure for single-phase grid-connected inverter system. *Power Electronics and Motion Control Conference, 2009. IPEMC '09. IEEE 6th International*.
- Silva, S. M., B. M. Lopes, et al. (2004). Performance evaluation of PLL algorithms for single-phase grid-connected systems. *Industry Applications Conference, 2004. 39th IAS Annual Meeting. Conference Record of the 2004 IEEE*.
- Zheng, R., Mingzhi G., et al. (2010). Power calculation method used in wireless parallel inverters under nonlinear load conditions. *Applied Power Electronics Conference and Exposition (APEC), 2010 Twenty-Fifth Annual IEEE*.
- Hongliang, W., Xiumei Y., et al. (2009). A new method of power calculation based on parallel inverters. *Power Electronics and Motion Control Conference, 2009. IPEMC '09. IEEE 6th International*.



- Guerrero J.M., García De Vicuna L., et al. (2005). Output Impedance Design of parallel Connected UPC Inverters with wireless load sharing. *Industrial Electronics, IEEE transactions*, pp. 1126-1135 vol. 54.
- Sanabria C., Hernández O. (2011). *Modelado y control de un prototipo de inversor monofásico tipo puente completo*. *Revista Colombiana de Tecnologías de Avanzada*, Volumen 1 - Número 17 - Año 2011.
- Alfaro, V. M. (2003). *Laboratorio de Control Automático*. Escuela de ingeniería eléctrica Universidad de Costa Rica.
- Ogata, K. (1995). *Discrete-time control systems*, Prentice Hall.
- Liping, G., Hung J. Y., et al. (2002). *PID controller modifications to improve steady-state performance of digital controllers for buck and boost converters*. *Applied Power Electronics Conference and Exposition, 2002. APEC 2002. Seventeenth Annual IEEE*.