

ADAPTIVE CONTROL IN VHDL APPLIED TO A SOLAR OVEN CONTROL ADAPTATIVO EN VHDL APLICADOS A UN HORNO SOLAR

MSc. Cecilia Sandoval Ruiz

Universidad Nacional Experimental de la Fuerza Armada, Departamento de Telecomunicaciones, Grupo de Investigación en Tecnologías Digitales Aplicadas a Telecomunicaciones, Maracay, Edo. Aragua, Venezuela.
Tel.: (+058) - 0243 55 46421/ (+058) - 0243 554 6954.
E-mail: csandoval1@uc.edu.ve.

Abstract: This paper describes the design of an adaptive control application for handling the variable temperature in a solar oven, framed under the philosophy of configurable hardware, through the code description in VHDL (*Very High Speed Integrated Circuit Hardware Description Language*). Initially, a study of trends and adaptive models to its description on an FPGA. The theoretical review allowed us to define the requirements for various control algorithms with adjustable coefficients, adaptive control, neural network training. It was validated the behavior of the reference track in an early test of profit and proposed adaptive control system for the solar oven, reporting the performance of the algorithms studied, resulting these applications efficient adaptive arrays based solar reflective panels for temperature control.

Keywords: Solar application, parallel processing, adaptive algorithms, FPGA.

Resumen: En este trabajo se describe el diseño de una aplicación de control adaptativo para el manejo de la variable temperatura en un horno solar, enmarcado bajo la filosofía de hardware configurable, a través de la descripción en código VHDL (*Very high speed integrated circuit Hardware Description Language*). Inicialmente, se realiza un estudio de las tendencias y modelos adaptativos, para su descripción sobre un dispositivo FPGA. La revisión teórica permitió definir los requerimientos para diversos algoritmos de control con ajuste de coeficientes, control adaptativo, entrenamiento de redes neuronales. Se validó el comportamiento de seguimiento de la referencia en una primera prueba de ganancia adaptativa y se propuso el sistema de control para el horno solar, reportando el rendimiento de los algoritmos estudiados, resultando estos eficientes para aplicaciones solares basadas en arreglos adaptativos de paneles reflectantes para control de temperatura.

Palabras clave: Aplicación solar, procesamiento paralelo, algoritmos adaptativos, FPGA.

1. INTRODUCCIÓN

El propósito de la presente investigación es el uso eficiente de la energía, combinado con fuentes ecológicas alternativas, para el diseño de un horno que permita prestaciones comparables con los hornos convencionales, pero aplicando la

tecnología para realizar su función sin necesidad de fuentes contaminantes. En estudios en el área, se enuncia que un horno solar puede alcanzar una temperatura de 150 °C (Montevideo, 2006), lo que permite realizar su función de forma eficiente. En (García, s/f) se presentan las características de las cocinas solares de acumulación y de concentración,

estos estudios demuestran la vigencia del tema de investigación de las cocinas solares por sus características ecológicas y uso eficiente de la energía, siendo el sistema de control de las mismas un importante aspecto, a fin de lograr avances tecnológicos para esta aplicación.

En una primera aproximación se implementó un horno solar de prueba, éste fue manejado a través de un microcontrolador, con el cual se logran implementar funciones de temporización, manejo de un actuador específico, pero no se alcanza un control apropiado de la variable temperatura.

Entre las investigaciones en el área se cuentan con diseños de dispositivos que concentran la energía solar en zonas específicas, entre ellos los discos de Stirling, los holióstatos colectores de radiación solar con control de posición, y plataformas de seguimiento solar (Soto, 2009) teniendo estos sistemas como propósito concentrar la radiación solar, para lograr un punto de máxima radiación. Para el caso del horno solar, dado que en el primer experimento se encontró que uno de los problemas a solucionar es la combinación de variables, para alcanzar la temperatura requerida.

En tal sentido, se ha detectado la necesidad de estudiar sistemas de control que permitan actuar sobre diversos elementos cuya combinación permita un control adaptativo para obtener la temperatura deseada a partir de la concentración ponderada de la radiación solar, lo que implica un sistema de control avanzado, que permita ajustarse a las condiciones medidas en el ambiente y con una amplia capacidad de cómputo para el seguimiento de la señal de referencia. Esto ha sido definido como el objetivo de la presente investigación en la que se plantea diseñar el control de posición de los paneles reflectantes del horno solar, a fin de lograr un punto específico de temperatura programado por el usuario. Para esta tarea es necesario considerar el ángulo de azimut y elevación, para el posicionamiento de los paneles, lo cual puede ser adaptado por medio de motores de pasos.

Al momento de estudiar los algoritmos de control, tenemos que por medio de la optimización paramétrica pueden determinarse los parámetros más apropiados para un sistema de control, lo que asegura que el sistema satisface todos los requisitos con respecto a los índices estáticos y dinámicos de desempeño que caracterizan su comportamiento (Sandoval *et al.*, 2008).

Por otra parte, los algoritmos de control sobre el FPGA basado en reglas lógicas (Martínez, 2011), control PID (Sornam, 2005), control adaptativo (Rodríguez, 1996), algoritmos adaptativos, (Benavides, 2009), entrenamiento de una red neuronal (Sandoval, 2010), entre otros; pueden ser descrito de forma explícita en el lenguaje descriptor de hardware VHDL.

Al momento de seleccionar la tecnología de soporte es pertinente revisar los dispositivos de control actualizados para este tipo de funciones, se encuentran controladores de automatización programable (PAC) que presentan en su arquitectura la incorporación de dispositivo FPGA (del inglés: *Field Programmable Gate Array*), lo que permite implementar estrategias de control avanzado de elevado desempeño, como controladores predictivos, robustos, etc.

La capacidad de reprogramación del control es una característica que se debe considerar en aplicaciones a sistemas dinámicos. Buena parte de los dispositivos digitales, como microprocesadores, DSP o FPGA, son reprogramables. Esta característica permite cambiar el algoritmo de control sin necesidad de efectuar ningún cambio sobre el hardware, con lo que se dota al control digital de gran flexibilidad (Castro, 2003). En el presente trabajo se ha planteado un estudio de los algoritmos para establecer parámetros de sistemas de control dinámicos y su implementación a través de dispositivos de hardware reconfigurable, como es el caso de los FPGA.

Este artículo presenta una recopilación de información acerca de la tendencias de aplicaciones programables, contrastando su desempeño, se establece la definición de reconfiguración dinámica de Hardware, se presenta el soporte teórico de los algoritmos adaptativos, seguidamente se presenta la metodología de configuración en VHDL de algoritmos y se presenta un análisis de resultados comparando diversos diseños en el área para finalmente establecer las conclusiones.

2. DISPOSITIVOS DE HARDWARE

Para la selección del dispositivo de hardware sobre el cual implementar el sistema de control se consideraron la opción de PLC, PIC, PAC (Controladores de Automatización Programable), FPGA, PC.

Tabla 1: Comparación de dispositivos de control

Dispositivo / Prestaciones	PLC	PLC	PAC	PC	FPGA
Flexibilidad	-	-	x	x	x
Robustez	x	x	x	-	x
Cap. cómputo	-	-	-	x	x
Proc. paralelo	-	-	x	-	x
Ent. Analógicas	x	x	x	x	-
Costo accesible	x	-	-	-	x

La arquitectura hardware básica de un PLC convencional consiste de una CPU para el control de cálculos; memoria operativa para datos temporales, memoria de programa, conversor A/D y D/A como interfases con los valores del proceso, un bus interno de datos para intercambio de datos (Ramírez, 2011), la cual resulta común para dispositivos microcontroladores y PC. Por ser la FPGA de naturaleza puramente digital, la mayor parte de las funcionalidades del PLC están embebidas en la FPGA, excepto las E/S de las señales analógicas. En el PLC convencional las funcionalidades (conteo, temporización, control PID, etc) se desarrollan a nivel de software, en el PLC basado en hardware reconfigurable parte de las funcionalidades estas funciones se realizan en hardware, aprovechando así las potencialidades de paralelismo y velocidad que este ofrece. Los PAC ofrecen un balance entre las ventajas de flexibilidad, robustez y fiabilidad con respecto a los sistemas basados en PLC ó en PC (Suardías, 2005).

En el trabajo presentado por (Suardías, 2005), se enuncian un conjunto de características que ofrecen los PLC que cuentan con FPGA en su arquitectura, entre las cuales destacan que el set de instrucciones puede incluir funciones específicas que se hayan desarrollado de acuerdo a las necesidades, el usuario puede incluir algoritmos autóctonos de control, incluso escoger si los desarrolla en hardware o en software, los módulos temporizadores y contadores se implementan sobre hardware, lo que representa una ganancia en tiempo de ejecución, así mismo, la ejecución del programa no es necesariamente cíclica, ya que al tener funcionalidades hardware (temporizadores, contadores, demás módulos creados en VHDL) es posible mapearlas físicamente a las entradas y salidas. Estas características permiten establecer algunas ventajas de incluir dispositivos FPGA dentro de los sistemas de control modernos, a fin de contar con la mayor capacidad de cómputo en el procesamiento paralelo de las señales del sistema, lo cual se traduce en alto rendimiento.

2.1 Control de Sistemas Dinámicos

En los sistemas dinámicos, el controlador debe ser capaz de seguir todas las posibles variaciones que puedan producirse durante la operación, en este sentido se diseñan soluciones como control óptimo, el cual permite establecer los criterios de control para sistemas que evolucionan en el tiempo, en los cuales los parámetros deben ser ajustados de acuerdo a las etapas de control (Sandoval *et al.*, 2008), control adaptativo, los diversos métodos permiten que los parámetros del controlador sean calculados en función del modelo de referencia de la planta (Rodríguez, 1996), redes neuronales, donde los pesos que determinan la interacción entre las neuronas se ajusta de acuerdo al proceso de entrenamiento (Sandoval, 2010), entre otras técnicas de control avanzado. Todas estas coinciden en el tratamiento de los parámetros del controlador, los cuales se ajustan ante cambios en las condiciones del sistema, siendo de gran interés implementar sobre hardware la función de adaptación de los mencionados parámetros en sentido general.

Al proponer un controlador digital, el diseño debe realizarse desde el punto de digitalización de las señales analógicas que nos entregan los sensores. Los datos numéricos que representan las señales analógicas, pasan por algoritmos digitales (Minguez, 1998). Los parámetros que determinan la similitud de la función de transferencia dependen de los valores de coeficientes y de su número (Oppenheim, 1989), por consiguiente cuantos más coeficientes mejor aproximación. De todo lo anterior se ha considerado la implementación del algoritmo de control en hardware a través de una FPGA, con una etapa de conversión Analógica / Digital para el muestreo de las señales.

3. METODOLOGÍA DE DISEÑO

El primer paso correspondió al diseño conceptual del horno solar, en el cual se identificó las variables para su manejo en el diseño, siendo la entrada al sistema de control la variable temperatura medida en el interior del horno solar $y(n)$, y la salida el posicionamiento de los panales reflectantes a través de motores de paso, cuya posición será ajustada de acuerdo a la ganancia generada en el sistema de control $G(n)$, como se muestra en la figura 1.

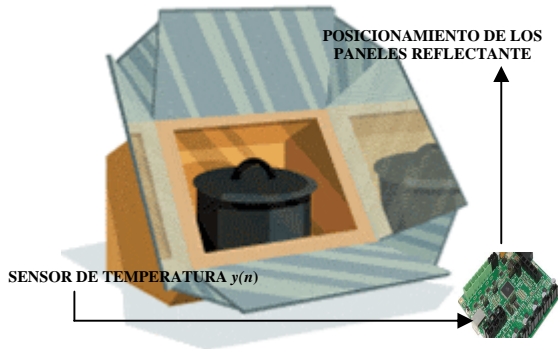


Fig. 1. Diseño Conceptual del Horno Solar

Para el desarrollo de la descripción funcional del diseño se ha empleado el sistema de desarrollo de Xilinx ISE 11.2, usando el editor Project Navigator para la configuración de los elementos del modelo, bajo sintaxis VHDL directamente.

En la primera descripción se diseñó un control de ganancia adaptativa, en la cual se establece una señal de referencia que corresponde al valor de temperatura deseado $x(n)$, la señal de salida será $y(n)$, el coeficiente sobre la variable de control será $c(n)$ que será adaptativo en función del factor $g(n)$.

Tabla 1: Ganancia Adaptativa en VHDL

```

if hab = '1' then
--inicializaciones del sistema de control de ganancia adaptativa
else
if clk='1' and clk'event then      --para detector nueva muestra
eqn1<= eqn;                          --actualización del error
if xn > yn then                      --referencia vs medición
cn <= cn + gn;                        --si error positivo el coeficiente cn
else
cn <= cn - gn;                        --si error negativo el coeficiente cn
----- Codigo del Ajuste de la ganancia -----
if eqn1= eqn then
gn <=gn (1 downto 0) & '1';          --aumento de la ganancia
else
gn <='0' & gn (2 downto 1);          --disminución de la ganancia
end if;

```

Se realizó la simulación, en la cual se obtuvo como respuesta a la entrada de referencia $x(n)$ la función de seguimiento $y(n)$, con Δ como la representación del signo del error y $G(n)$ el parámetro adaptativo, mostrada en la figura 2, en la cual se puede observar el control eficiente.

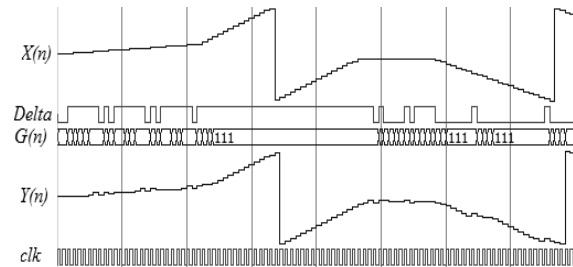


Fig. 2. Simulación del Control de Ganancia Adaptativa

Se pudo observar un seguimiento de la señal, en la entrada de referencia $x(n)$, se seleccionaron incrementos y decrementos de diversos pasos, los cuales se vieron adaptados en la respuesta de ganancia de acuerdo a la descripción establecida en VHDL, uno de los aspectos más importantes de hacer mención corresponde a la longitud del paso que está dado por 3 bits, en esta descripción las operaciones de producto para el incremento y división para el decremento fueron tratados a partir de arreglos lógicos, para ello se seleccionó la concatenación en el bit menos significativo para incrementar el escalón y en el bit más significativo para el correspondiente decremento, de esta manera se simplifican las operaciones aritméticas del modelo algorítmico y se mantiene la naturaleza del hardware presentado en el diagrama de bloques. Para este primer ensayo se consideró el ajuste de la ganancia de un solo elemento reflectante, pero se ha considerado un ajuste combinado.

En la tabla 2, se describe el modelo del sistema aproximado por un filtro FIR, este modelo es base para la descripción de las capas de una red neuronal, un arreglo adaptativo, etc.

Tabla 2: Modelo de una RNA en VHDL

```

entity Sistema is
-- type Feedforward
Port ( A,B,C,D: in std_logic_vector(7 downto 0); -- entradas
Y:out std_logic_vector(7 downto 0)) --salidas
end rna;
architecture Behavioral of Sistema is
signal w1,w2,w3,w4:std_logic_vector(7 downto 0); --Weights
signal E,F,G,H : std_logic_vector(7 downto 0);
begin
Y <= A*w1 + B*w2 + C*w3 + D*w4;
end Behavioral;

```

El resultado de la programación en VHDL corresponde al diagrama el RTL (representación a nivel de circuito) mostrado en la figura 3, el cual es configurado sobre el dispositivo FPGA, para el cálculo de los pesos o ganancias.

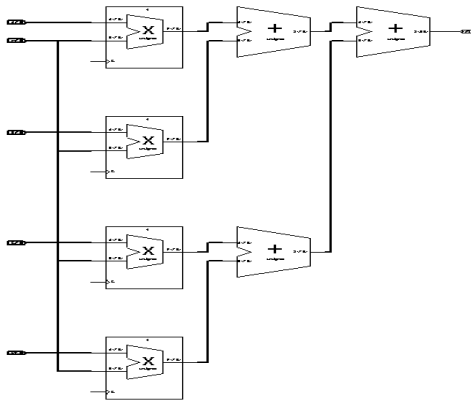


Fig. 3. Diagrama RTL de la RNA diseñada

El módulo RTL coincide con la arquitectura del modelo teórico, el comportamiento dependerá del valor de los coeficientes de peso que son calculados a través del algoritmo, siendo inicializados para la primera aproximación.

Para el ajuste de los pesos para cada una de las muestras del sistema se recurre al cálculo de estos en función del peso anterior y un factor de corrección que depende de la constante de adaptación (Castellanos, 2009).

El funcionamiento de un arreglo adaptativo requiere de un intenso procesamiento de señales a alta velocidad, el arreglo propuesto se presenta en la figura 4, consiste en convertir las señales (medidas sobre el sistema), para luego calcular la actualización de los pesos, obteniendo así los pesos óptimos para la ganancia de los paneles reflectantes para alcanzar la temperatura de referencia, el algoritmo LMS empleado está basado en el diseño de (Castellanos, 2009) para un arreglo de antenas para el control del patrón de radiación.

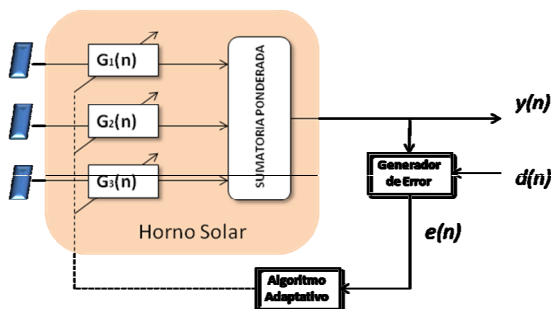


Fig. 4: Arreglo de Paneles Adaptativo

El algoritmo adaptativo descrito en VHDL, se presenta en la tabla 3, éste ha sido generado a partir de las ecuaciones del modelo.

Tabla 3: Algoritmo Adaptativo LMS en VHDL

```

if clk = '1' and clk'event then
    error <= dn - yn;           -- Cálculo del error
end if;
wn1 <= wnt1;
yn <= temp;

factor1 <= (u)*(error)*(xn1);
...
-- con el respectivo ajuste de magnitud MSB
wnt1 <= factor1 + wn1; -- el signo de factor viene dado por el
signo de error
...
-- con el respectivo ajuste de magnitud MSB

yn <= (wn)*(xn) +(wn2)*(xn2)+(wn3)*(xn3)+(wn4)*(xn4);
    
```

4. REPORTE DE EFICIENCIA

En cuanto a los recursos utilizados en la implementación de algoritmos adaptativos se reportan los resultados de las pruebas del control de ganancia adaptativa (con ganancia de paso ajustable de 3 bits de longitud), la RNA con 3 capas, capa de entrada con siete neuronas, la capa oculta con cuatro neuronas (función de activación sigmoide) y la capa de salida con tres neuronas (función de activación identidad), y el algoritmo LMS con 8 bits de longitud por dato, los cuales son presentados en la tabla 4.

Es importante destacar que la complejidad del algoritmo y el efecto de la longitud de los datos inciden en el consumo de recursos del dispositivo y la distribución del consumo está relacionada con la tecnología del dispositivo seleccionado en cuanto al número de LUTs por Slice y el número de entradas que éstas implementan, para este caso se ha empleado el dispositivo FPGA X5CVLX30 de la familia Virtex 5 de Xilinx.

Tabla 4: Consumo de Recursos de las Aplicaciones Adaptativas

Caso de Estudio	Slice	4 input LUT	FF	Mult 18x18
Ganancia Adapt.	15	44	25	0
RNA	91	158	0	0
LMS	81	146	48	12

En esta investigación se realizó el análisis de consumo de potencia de cada uno de los casos estudiados, obteniendo un consumo de potencia dinámica, es decir; el consumo de potencia asociado al diseño con valores en el orden de los 50mW, lo que permite establecer la eficiencia del algoritmo sobre el FPGA seleccionado, los valores son reportados en la tabla 5.

Tabla 5: Reporte del consumo de potencia de los diseños estudiados en (mw)

Componentes	Delta Adaptivo	RNA	LMS
Clocks	0.95	0.00	1.66
Logic	0.00	0.00	0.11
Signal	0.12	0.91	1.27
IOs	0.17	0.36	50.34
Potencia Dinámica	1.24	1.28	53.38

5. CONCLUSIONES

Finalmente, los resultados permitieron observar la eficiencia en el desempeño de los algoritmos presentados con procesamiento paralelo, lo cual provee al diseño de la capacidad de realizar los ajustes de parámetros de control por muestra en un solo pulso de reloj, independientemente de la complejidad del algoritmo, lo que en un dispositivo de arquitectura fija estaría limitado por la unidad de procesamiento aritmética-lógica. En tal sentido, se considera recomendable la implementación de arreglos adaptativos en aplicaciones solares para el control de temperatura, basado en la combinación de ganancias como el presentado en el presente desarrollo, a fin de obtener mayor velocidad de procesamiento y eficiencia en el sistema de control.

Entre los aportes se puede mencionar la descripción en código estándar para los algoritmos estudiados, la correspondiente paralelización que ofrece mayor velocidad de respuesta del algoritmo sobre el dispositivo seleccionado para su implementación y consumo de potencia óptimo, motivando el desarrollo tecnológico sobre proyectos sustentables que resulten en aplicaciones ecológicas con altas prestaciones.

Destacando que en los diseños se ha incluido un tratamiento de los datos de forma eficiente, definiendo la longitud del bus para cada caso de acuerdo a los requerimientos y realizando los cálculos a través de una combinación de operaciones aritméticas y lógicas que permiten simplificar la lógica del circuito y por ende el consumo de recursos, todo esto se puede evidenciar en el reporte de consumo de potencia del circuito lógico, los cuales han sido en el orden de 0.1mW. Siendo estos resultados un soporte para continuar investigaciones que permitan desarrollar la descripción en VHDL algoritmos de control para sistemas dinámicos, ofreciendo ventajas significativas con respecto a la implementación sobre otras tecnologías.

REFERENCIAS

- Benavides, J.; Calienes, W. and Silva, C. (2009). *Diseño de una Arquitectura para la implementación de un Filtro Adaptativo RLS sobre un FPGA*, in *XV Workshop Iberchip, Argentina*, pp. 25 -27.
- Castellanos, J. (2009). *Sistema de Control sustentado en Algoritmos Adaptativos para un arreglo lineal de Antenas Inteligentes utilizando tecnología FPGA*, no. 243.
- Castro, A. D. (2003) *Aplicación del Control Digital Basado En Hardware Especifico Para Convertidores De Potencia Conmutados*, Tesis doctoral.
- Garcia, (s/f). *La Cocina solar: El nuevo arte de cocinar de modo saludable y ecológico*.
- Martínez, M. (2011). *Implementation of QRD-RLS algorithm on FPGA. Application to Noise Canceller System*, *IEEE Latin America Transactions*, vol. 9, no. 4, pp. 458-462.
- Minguez, A. (1998). *Ingeniería Avanzada para Sistemas de Control de Ruido Acústico mediante Técnicas Adaptativas*, Tesis Doctoral. Montevideo. (2006). *La Cocina Solar*. <http://www.tecnologiasapropiadas.com/biblioteca/CeutaEnergiaSolarParte2.pdf>. (Consultado: 11 de Diciembre 2012)
- Oppenheim, R. W. and Schaffer, A. V. (1989). *Discrete-Time Signal Processing*. Prentice-Hall, Englewood Cliffs, NJ.
- Ramírez, M.; Moreno, V. y Cabrera, A. (2011). *Controlador lógico programable basado en hardware reconfigurable*, *CIE2011*, pp. 1-4.
- Rodríguez, F. y López, M. (1996). *Control Adaptativo y Robusto*. Universidad de Sevilla.
- Sandoval, C. (2010). *FPGA prototyping of neuro-adaptive decoder*, *Proceedings of the 9th WSEAS international*, pp. 99-104.
- Sandoval, C.; Velazco, K. and Díaz, J. (2008). *Accionamiento eléctrico de sistemas dinámicos a través de criterios de control óptimo*, *Rev. Ing e Investigación*, vol. 28, no. 2, pp. 66-71.
- Sornam, V. (2005) *Embedded Control Using FPGA*, in *Control Engineering*.
- Soto, E. (2009). *Plataforma de seguimiento para cocinas y hornos solares*, España. http://www.gea.usm.cl/wp-content/uploads/2009/10/01_plataforma_cocina.pdf
- Suardiáz, J. y Al-Hadithi, B. (2005). *Interfaz Visual para la Simulación de un controlador Hardware de Nivel de Liquido en un depósito mediante la herramienta TCL/TK*, *Tecnología y Desarrollo*, Vol. 3, pp. 4-15.